

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-284076

(43)Date of publication of application : 31.10.1997

(51)Int.Cl.

H03H 7/06
H01L 27/04
H01L 21/822

(21)Application number : 07-253689

(71)Applicant : NIPPON BAA BRAUN KK

(22)Date of filing : 29.09.1995

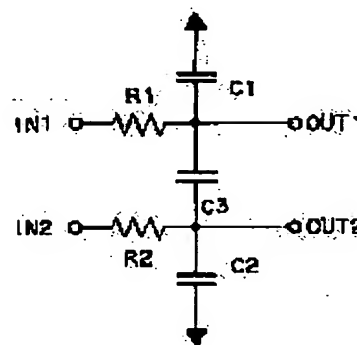
(72)Inventor : MUROTA TOSHIO
TERASAWA HITOSHI
HAMAZAKI TOSHIHIKO

(54) DIFFERENTIAL FILTER CIRCUIT AND ITS INTEGRATE CIRCUIT STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To allow both normal mode noise and common mode noise to have a filter effect by providing plural resistors and plural capacitors and constituting a primary differential low-pass filter circuit of the combination of them.

SOLUTION: The first resistor R1, the second resistor R2 and the third capacitor C3 constitute the low-pass filter for removing normal mode noise. The first resistor R1 and the first capacitor C1 constitute a low-pass filter for removing common mode noise generated at a non-opposite phase side and the second resistor R2 and the second capacitor C2 constitute the low-pass filter for removing common mode noise generated at an opposite phase side. Therefore, both normal mode noise and common mode noise are removed in this differential low-pass filter circuit.



LEGAL STATUS

[Date of request for examination] 28.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3615285

[Date of registration] 12.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

8

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284076

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 7/06			H 0 3 H 7/06	
H 0 1 L 27/04			H 0 1 L 27/04	F
21/822				C

審査請求 未請求 請求項の数20 O L (全 13 頁)

(21) 出願番号 特願平7-253689

(22) 出願日 平成7年(1995)9月29日

(71) 出願人 595138889

日本パー・ブラウン株式会社
神奈川県横浜市港北区新横浜二丁目3番地
12 新横浜スクエアビル

(72) 発明者 室田 俊夫

神奈川県厚木市長谷仲町422-1 日本パ
ー・ブラウン株式会社厚木テクニカルセン
ター内

(72) 発明者 寺澤 斉

神奈川県厚木市長谷仲町422-1 日本パ
ー・ブラウン株式会社厚木テクニカルセン
ター内

(74) 代理人 弁理士 湯浅 恭三 (外6名)

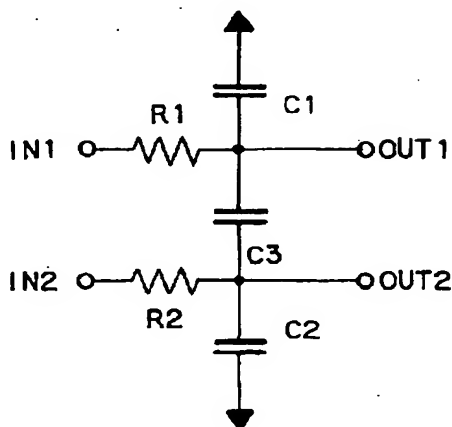
最終頁に続く

(54) 【発明の名称】 差動型フィルタ回路及びその集積回路構造

(57) 【要約】

【課題】 ノーマルモードノイズ、コモンモードノイズの両方を除去する差動型フィルタを提供すること。

【構成】 一次の差動型ローパスフィルタは、第一の入力端子 I N 1 と第一の出力端子 O U T 1 との間に接続された第一の抵抗器 R 1 と、第一の抵抗器 R 1 と同じ抵抗値を有し、第二の入力端子 I N 2 と第二の出力端子 O U T 2 との間に接続された第二の抵抗器 R 2 と、第一の出力端子 O U T 1 と基準電位との間に接続された第一のコンデンサ C 1 と、第一のコンデンサ C 1 と同じ容量値を持ち、第二の出力端子 O U T 2 と基準電位との間に接続された第二のコンデンサ C 2 と、第一の出力端子 O U T 1 と第二の出力端子 O U T 2 との間に接続された第三のコンデンサ C 3 とを具備する。



【特許請求の範囲】

【請求項1】 第一の入力端子（IN1）と第一の出力端子（OUT1）との間に接続された第一の抵抗器（R1）と、

前記第一の抵抗器と同じ抵抗値を有し、第二の入力端子（IN2）と第二の出力端子（OUT2）との間に接続された第二の抵抗器（R2）と、

前記第一の出力端子と基準電位との間に接続された第一のコンデンサ（C1）と、

前記第一のコンデンサと同じ容量値を持ち、前記第二の出力端子と前記基準電位との間に接続された第二のコンデンサ（C2）と、

前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサ（C3）と、を具備することを特徴とする一次の差動型ローパスフィルタ回路。

【請求項2】 第一の絶縁層（IL1）と、

前記第一の絶縁層の一方の面に接するように形成された第一の電極（1）と、

前記第一の絶縁層（IL1）の他方の面上の、前記第一の電極に対向する位置に形成された第二の電極（2）及び第三の電極（3）と、

前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層（IL2）を介して形成された第四の電極（4）及び第五の電極（5）と、

前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器（R1）及び第二の抵抗器（R2）と、

前記第一の電極を基準電位に接続する導線と、

前記第一の抵抗器の一端と前記第二の電極とを接続する導線と、

前記第二の抵抗器の一端と前記第三の電極とを接続する導線と、

前記第二の電極と前記第五の電極とを接続する導線と、

前記第三の電極と前記第四の電極とを接続する導線と、

前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子（IN1、IN2）と、

前記第四の電極及び前記第五の電極にそれぞれ接続された出力端子（OUT1、OUT2）と、を具備し、

前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方が半導体基板（SUB）に形成され、

前記第一の電極と前記第二の電極とで第一のコンデンサ（C1）を形成し、前記第一の電極と前記第三の電極とで第二のコンデンサ（C2）を形成し、前記第二の電極と前記第四の電極とで第三のコンデンサ（C3）を構成する一方のコンデンサ（C31）を形成し、前記第三の電極と前記第五の電極とで前記第三のコンデンサを構成する他方のコンデンサ（C32）を形成して一次の差動型ローパスフィルタ回路を構成したことを特徴とする集積回路構造。

【請求項3】 前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項2に記載の集積回路構造。

【請求項4】 前記第一の電極は、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項2に記載の集積回路構造。

【請求項5】 前記第一の抵抗器及び前記第二の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、

前記第一の電極と前記第一の抵抗器との間で追加のコンデンサ（C1'）を、前記第一の電極と前記第二の抵抗器との間で別の追加のコンデンサ（C2'）を形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項3又は4に記載の集積回路構造。

【請求項6】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項2に記載の集積回路構造。

【請求項7】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項2に記載の集積回路構造。

【請求項8】 前記第一の抵抗器及び前記第二の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、

前記第一の電極と前記第一の抵抗器との間で追加のコンデンサ（C1'）を、前記第一の電極と前記第二の抵抗器との間で別の追加のコンデンサ（C2'）を形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項6又は7に記載の集積回路構造。

【請求項9】 前記第一の抵抗器と前記第二の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする請求項2～8のいずれか1つに記載の集積回路構造。

【請求項10】 第一の抵抗器（R11）と第三の抵抗器（R13）との直列回路であって、第一の入力端子（IN1）と第一の出力端子（OUT1）との間に接続された直列回路と、

前記第一の抵抗器と同じ抵抗値を有する第二の抵抗器（R12）と、前記第三の抵抗器と同じ抵抗値を有する第四の抵抗器（R14）との直列回路であって、第二の入力端子（IN2）と第二の出力端子（OUT2）との間に接続された直列回路と、

前記第一の抵抗器と前記第二の抵抗器との間の点と基準電位との間に接続された第一のコンデンサ（C11）と、

50 前記第一の抵抗器と前記第二の抵抗器との間の点と、前

記第三の抵抗器と前記第四の抵抗器との間の点との間に接続された第二のコンデンサー (C12) と、
前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサー (C13) と、
前記第四の抵抗器と前記第二の出力端子との間の点と前記基準電位との間に接続され且つ前記第一のコンデンサーと同じ容量値を有する第四のコンデンサー (C14) と、を具備することを特徴とする二次の差動型ローパスフィルタ回路。

【請求項11】 第一の絶縁層 (IL11) と、
前記第一の絶縁層の一方の面に接するように形成された第一の電極 (11) と、
前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極 (12) 及び第三の電極 (13) と、
前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層 (IL12) を介して形成された第四の電極 (14) 及び第五の電極 (15) と、
前記第二の電極及び前記第三の電極が形成された面と、
前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器 (R11)、第二の抵抗器 (R12)、第三の抵抗器 (R13) 及び第四の抵抗器 (R14) と、
前記第一の電極を基準電位に接続する導線と、
前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第二の電極とに接続する導線と、
前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第四の電極とに接続する導線と、
前記第三の抵抗器の他端を前記第五の電極と接続する導線と、
前記第四の抵抗器の他端を前記第三の電極と接続する導線と、
前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子 (IN1、IN2) と、
前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子 (OUT1、OUT2) と、を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板 (SUB) に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサー (C11) を形成し、前記第二の電極と前記第四の電極とで第二のコンデンサー (C12) を形成し、前記第三の電極と前記第五の電極とで第三のコンデンサー (C13) を形成し、前記第一の電極と前記第三の電極とで第四のコンデンサー (C14) を形成して二次の差動型ローパスフィルタ回路を構成したことを特徴とする集積回路構造。

【請求項12】 第一の絶縁層 (IL11) と、
前記第一の絶縁層の一方の面に接するように形成された第一の電極 (11) と、
前記第一の絶縁層の他方の面上の、前記第一の電極と対

向する位置に形成された第二の電極 (12) 及び第三の電極 (13) と、
前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層 (IL12) を介して形成された第四の電極 (14) 及び第五の電極 (15) と、
前記第二の電極及び前記第三の電極が形成された面と、
前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器 (R11)、第二の抵抗器 (R12)、第三の抵抗器 (R13) 及び第四の抵抗器 (R14) と、
前記第一の電極を基準電位に接続する導線と、
前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第四の電極とに接続する導線と、
前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第二の電極とに接続する導線と、
前記第三の抵抗器の他端を前記第三の電極と接続する導線と、
前記第四の抵抗器の他端を前記第五の電極と接続する導線と、
前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子 (IN1、IN2) と、
前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子 (OUT1、OUT2) と、を具備し、
前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板 (SUB) に形成し、
前記第一の電極と前記第二の電極とで第一のコンデンサー (C11) を形成し、前記第二の電極と前記第四の電極とで第二のコンデンサー (C12) を形成し、前記第三の電極と前記第五の電極とで第三のコンデンサー (C13) を形成し、前記第一の電極と前記第三の電極とで第四のコンデンサー (C14) を形成して二次の差動型ローパスフィルタ回路を構成したことを特徴とする集積回路構造。

【請求項13】 前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項11又は12に記載の集積回路構造。

【請求項14】 前記第一の電極は、前記半導体基板上に絶縁膜を介して形成された導電層であることを特徴とする請求項11又は12に記載の集積回路構造。

【請求項15】 前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、
前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサー (C11') を形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサー (C11'') を形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサー (C14') を形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサー (C14'') を形成するよう

に、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項13又は14に記載の集積回路構造。

【請求項16】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項11又は12に記載の集積回路構造。

【請求項17】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項11又は12に記載の集積回路構造。

【請求項18】 前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、

前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサー(C11')を形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサー(C11'')を形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサー(C14')を形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサー(C14'')を形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項16又は17に記載の集積回路構造。

【請求項19】 前記第一の抵抗器～前記第四の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする請求項11～18のいずれか1つに記載の集積回路構造。

【請求項20】 第一の入力端子(IN1)と第一の出力端子(OUT1)との間に接続された第一のコンデンサー(C21)と、

前記第一のコンデンサーと同じ容量値を有し、第二の入力端子(IN2)と第二の出力端子(OUT2)との間に接続された第二のコンデンサー(C22)と、

前記第一の出力端子と基準電位との間に接続された第一の抵抗器(R21)と、

前記第一の抵抗器と同じ抵抗値を持ち、前記第二の出力端子と前記基準電位との間に接続された第二の抵抗器(R22)と、

前記第一の出力端子と前記第二の出力端子との間に接続された第三の抵抗器(R23)と、を具備することを特徴とする差動型ハイパスフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、差動型フィルタ回路及びその集積回路化された構造に関するもので、この差動型フィルタ回路は集積回路化に適したもので、差動型CRローパスフィルタ及び差動型CRハイパスフィルタを含む。

【0002】

【従来の技術】半導体集積回路上で、高精度、低ノイズのアナログ性能を持つべき回路の一部としてフィルタを設計する場合、所望のフィルタ特性に加え、ノイズに対するフィルタ機能をも考慮して設計を行う必要がある。従来は、例えばノーマル・ノイズに対しては、差動構成にすることによりノイズを除去する方法が一般的に用いられてきた。一方、コモンモードノイズに対しては、CR回路と演算増幅器を用いたアクティブフィルタにおいて、演算増幅器を高コモンモード除去比を持つよう設計することで対処してきている。

【0003】しかしながら、このようなアクティブフィルタでは、演算増幅器を例えばカスコード構造とする等、回路規模が比較的に大きくなる傾向がある。更に、最近の半導体集積回路プロセスでは低い電源電圧が使われるので、高コモンモード除去比の増幅器を設計することは極めて難しく、高精度、低ノイズのアナログ性能を目指した回路の高集積化は困難であった。

【0004】

【発明が解決しようとする課題】本発明は、上記のように、従来のフィルタ設計では、近年の超微細化プロセスを用いた半導体集積回路上で良好なアナログ回路を実現することは困難であるとの課題を克服するために提案されたものであり、本発明の目的は、ノーマルモードノイズ、コモンモードノイズの両方に対してフィルタ効果を持つ差動型フィルタ回路を提供することである。本発明の別の目的は、ノーマルモードノイズ、コモンモードノイズの両方に対してフィルタ効果を持ち、しかも小面積上に効果的に形成することが可能な差動型フィルタを提供することである。

【0005】

【課題を解決するための手段】上記の目的を実現するために、本発明は、その第一の実施形態として、第一の入力端子(IN1)と第一の出力端子(OUT1)との間に接続された第一の抵抗器(R1)と、前記第一の抵抗器と同じ抵抗値を有し、第二の入力端子(IN2)と第二の出力端子(OUT2)との間に接続された第二の抵抗器(R2)と、前記第一の出力端子と基準電位との間に接続された第一のコンデンサー(C1)と、前記第一のコンデンサーと同じ容量値を持ち、前記第二の出力端子と前記基準電位との間に接続された第二のコンデンサー(C2)と、前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサー(C3)と、を具備することを特徴とする一次の差動型ローパスフィルタ回路を提供する。

【0006】この一次の差動型ローパスフィルタは第一の絶縁層(IL1)と、前記第一の絶縁層の一方の面に接するように形成された第一の電極(1)と、前記第一の絶縁層(IL1)の他方の面上の、前記第一の電極に対向する位置に形成された第二の電極(2)及び第三

の電極(3)と、前記第二の電極と前記第三の電極とに
対向するそれぞれの位置に第二の絶縁層(1L2)を介
して形成された第四の電極(4)及び第五の電極(5)
と、前記第二の電極及び前記第三の電極が形成された面
と、前記第四の電極及び前記第五の電極が形成された面
とのいずれか一方に形成された第一の抵抗器(R1)及
び第二の抵抗器(R2)と、前記第一の電極を基準電位
に接続する導線と、前記第一の抵抗器の一端と前記第二
の電極とを接続する導線と、前記第二の抵抗器の一端と
前記第三の電極とを接続する導線と、前記第二の電極と
前記第五の電極とを接続する導線と、前記第三の電極と
前記第四の電極とを接続する導線と、前記第一の抵抗器
の他端と前記第二の抵抗器の他端とにそれぞれ接続され
た入力端子(IN1、IN2)と、前記第四の電極及び
前記第五の電極にそれぞれ接続された出力端子(OUT
1、OUT2)と、を具備し、前記第一の電極と、前記
第四の電極及び前記第五の電極とのいずれか一方が半導
体基板(SUB)に形成され、前記第一の電極と前記第
二の電極とで第一のコンデンサー(C1)を形成し、前
記第一の電極と前記第三の電極とで第二のコンデンサー
(C2)を形成し、前記第二の電極と前記第四の電極と
で第三のコンデンサー(C3)を構成する一方のコンデ
ンサー(C31)を形成し、前記第三の電極と前記第五
の電極とで前記第三のコンデンサーを構成する他方のコン
デンサー(C32)を形成して一次の差動型ローパス
フィルタ回路を構成したことを特徴とする集積回路構
造として具体化される。

【0007】本発明は、その第二の実施形態として、第
一の抵抗器(R11)と第三の抵抗器(R13)との直
列回路であって、第一の入力端子(IN1)と第一の出力
端子(OUT1)との間に接続された直列回路と、前
記第一の抵抗器と同じ抵抗値を有する第二の抵抗器(R
12)と、前記第三の抵抗器と同じ抵抗値を有する第四
の抵抗器(R14)との直列回路であって、第二の入力
端子(IN2)と第二の出力端子(OUT2)との間に
接続された直列回路と、前記第一の抵抗器と前記第二
の抵抗器との間の点と基準電位との間に接続された第一
のコンデンサー(C11)と、前記第一の抵抗器と前記第
二の抵抗器との間の点と、前記第三の抵抗器と前記第四
の抵抗器との間の点との間に接続された第二のコンデ
ンサー(C12)と、前記第一の出力端子と前記第二の出力
端子との間に接続された第三のコンデンサー(C1
3)と、前記第四の抵抗器と前記第二の出力端子との間
の点と前記基準電位との間に接続され且つ前記第一のコン
デンサーと同じ容量値を有する第四のコンデンサー
(C14)と、を具備することを特徴とする二次の差動
型ローパスフィルタ回路を提供する。

【0008】この二次の差動型ローパスフィルタは、
第一の絶縁層(1L11)と、前記第一の絶縁層の一方
の面に接するように形成された第一の電極(11)と、

前記第一の絶縁層の他方の面上の、前記第一の電極と対
向する位置に形成された第二の電極(12)及び第三の
電極(13)と、前記第二の電極と前記第三の電極とに
対向するそれぞれの位置に第二の絶縁層(1L12)を
介して形成された第四の電極(14)及び第五の電極
(15)と、前記第二の電極及び前記第三の電極が形成
された面と、前記第四の電極及び前記第五の電極が形成
された面とのいずれか一方に形成された第一の抵抗器
(R11)、第二の抵抗器(R12)、第三の抵抗器
(R13)及び第四の抵抗器(R14)と、前記第一の
電極を基準電位に接続する導線と、前記第一の抵抗器の
一端を前記第三の抵抗器の一端と前記第二の電極とに接
続する導線と、前記第二の抵抗器の一端を前記第四の抵
抗器の一端と前記第四の電極とに接続する導線と、前記
第三の抵抗器の他端を前記第五の電極と接続する導線
と、前記第四の抵抗器の他端を前記第三の電極と接続す
る導線と、前記第一の抵抗器の他端と前記第二の抵抗器
の他端とにそれぞれ接続された入力端子(IN1、IN
2)と、前記第三の電極及び前記第五の電極にそれぞれ
接続された出力端子(OUT1、OUT2)と、を具備
し、前記第一の電極と、前記第四の電極及び前記第五
の電極とのいずれか一方を半導体基板(SUB)に形成
し、前記第一の電極と前記第二の電極とで第一のコンデ
ンサー(C11)を形成し、前記第二の電極と前記第四
の電極とで第二のコンデンサー(C12)を形成し、前
記第三の電極と前記第五の電極とで第三のコンデンサー
(C13)を形成し、前記第一の電極と前記第三の電極
とで第四のコンデンサー(C14)を形成して二次の差
動型ローパスフィルタ回路を構成したことを特徴とす
る集積回路構造として具体化される。

【0009】この集積回路における上記の電気的接続の
ための導線に代えて、前記第一の電極を基準電位に接続
する導線と、前記第一の抵抗器の一端を前記第三の抵抗
器の一端と前記第四の電極とに接続する導線と、前記第
二の抵抗器の一端を前記第四の抵抗器の一端と前記第二
の電極とに接続する導線と、前記第三の抵抗器の他端を
前記第三の電極と接続する導線と、前記第四の抵抗器の
他端を前記第五の電極と接続する導線と、を設けるよう
にしてもよい。

【0010】本発明は、その第三の実施形態として、第
一の入力端子(IN1)と第一の出力端子(OUT1)
との間に接続された第一のコンデンサー(C21)と、
前記第一のコンデンサーと同じ容量値を有し、第二の入
力端子(IN2)と第二の出力端子(OUT2)との間
に接続された第二のコンデンサー(C22)と、前記第
一の出力端子と基準電位との間に接続された第一の抵抗
器(R21)と、前記第一の抵抗器と同じ抵抗値を持
ち、前記第二の出力端子と前記基準電位との間に接続さ
れた第二の抵抗器(R22)と、前記第一の出力端子と
前記第二の出力端子との間に接続された第三の抵抗器

(R23)と、を具備することを特徴とする差動型ハイパスフィルタを提供する。

【0011】

【発明の実施の形態】以下、本発明の若干の実施の形態について、図1～図16を参照して詳細に説明する。なお、それぞれの実施形態において、同一の構成要素は同じ参照数字又は符号で示すことにする。

【0012】図1は、本発明に係る差動型フィルタ回路の第一の実施形態である一次の差動型ローパスフィルタ回路の構成を概略的に示す図である。図1において、第一の入力端子IN1は第一の抵抗器R1の一端に接続され、第二の入力端子IN2は第二の抵抗器R2の一端に接続されている。第一の抵抗器R1と第二の抵抗器R2とは同じ抵抗値を有する。第一の抵抗器R1の他端は第一の出力端子OUT1に接続されると共に第一のコンデンサC1を介して接地され又は電源と接続される。第二の抵抗器R2の他端は第二の出力端子OUT2に接続されると共に第二のコンデンサC2を介して接地され又は電源と接続される。第一のコンデンサC1と第二のコンデンサC2との容量値は等しい。更に、第一の抵抗器R1の他端と第二の抵抗器R2の他端との間に第三のコンデンサC3が接続される。

【0013】こうした構成とすることにより、第一の抵抗器R1、第二の抵抗器R2及び第三のコンデンサC3によって、ノーマルモードノイズを除去するローパスフィルタができる。また、第一の抵抗器R1と第一のコンデンサC1によって正相側の発生するコモンモードノイズを除去するローパスフィルタが構成され、第二の抵抗器R2と第二のコンデンサC2によって逆相側の発生するコモンモードノイズを除去するローパスフィルタが構成される。図2に点線で示す曲線は、第一のコンデンサC1と第一の抵抗器R1とから成るコモンモードノイズを除去するローパスフィルタの特性を示している。一方、図3に実線で示す曲線は、第一の抵抗器R1、第二の抵抗器R2及び第三のコンデンサC3から成るノーマルモードノイズを除去するローパスフィルタの特性を示している。

【0014】次に、図1の差動型ローパスフィルタ回路を構成する集積回路構造について若干の例を説明する。図4は、こうした集積回路構造の一例を概略的に示している。図4において、P型シリコンの半導体基板SUBの表面にN型拡散層を形成して第一の電極1を設ける。第一の電極1を覆うように第一の絶縁層1L1を形成し、第一の絶縁層1L1上に第二の電極2及び第三の電極3を形成し、更にその外側に第一の抵抗器R1及び第二の抵抗器R2を形成する。これら第二の電極2、第三の電極3、第一の抵抗器R1及び第二の抵抗器R2を被覆するように第二の絶縁層1L2を形成した後、第二の絶縁層1L2の上に、第一の電極1と対向する位置に第四の電極4を、第二の電極2と対向する位置に第五の

電極5をそれぞれ形成する。

【0015】例えば、第一の絶縁層1L1と第二の絶縁層1L2との材質はSiO₂であり、第二の電極2と第三の電極3との材質は第一の多結晶シリコンであり、第四の電極4と第五の電極5との材質は、第一の多結晶シリコンとは異なる第二の多結晶シリコンであり、第一の抵抗器R1と第二の抵抗器R2との材質は第一の多結晶シリコン又は第二の多結晶シリコンであることが好ましい。

【0016】なお、第一の絶縁層1L1の厚さは5000Å、第二の絶縁層1L2の厚さは500Åであり、第二の電極2、第三の電極3、第一の抵抗器R1、第二の抵抗器R2、第四の電極4及び第五の電極5の厚さはいずれも5000Åである。しかし、こうした数値は一例であって、これに限定されない。

【0017】こうして、第一の電極1と第二の電極2との間に第一のコンデンサC1が形成され、第一の電極1と第三の電極3との間に第二のコンデンサC2が形成される。また、第二の電極2と第四の電極4との間にコンデンサC31が形成され、第三の電極3と第五の電極5との間に別のコンデンサC32が形成される。これらのコンデンサC31、C32は第一の出力端子OUT1と第二の出力端子OUT2との間に並列に接続され、それらの容量値の和は第三のコンデンサC3の容量値に等しい。

【0018】第一の抵抗器R1の一端は入力端子IN1に接続され、第一の抵抗器R1の他端は第二の電極2と接続される。第二の電極2は第五の電極5と接続され、第三の電極3は第四の電極4と接続されると共に第二の抵抗器R2の一端に接続される。第二の抵抗器R2の他端は第二の入力端子IN2と接続される。これらの接続には導電性の金属体が用いられる。

【0019】このように、第二の電極2と第三の電極3とはコンデンサの形成のために共有されているので、ローパスフィルタを極めて小さい面積に形成することができる。

【0020】図5は、図4に示す集積回路構造を一部変更した例を示しており、第一の電極1は第一の抵抗器R1及び第二の抵抗器R2と重なるように延長されている。このため、第一の電極1と第一の抵抗器R1との間に追加のコンデンサC1'が形成され、第一の電極1と第二の抵抗器R2との間に別の追加のコンデンサC2'が形成される。図5に示す集積回路構造の等価回路を図6に示す。この等価回路から明らかなように、コンデンサC1'は第一のコンデンサC1に並列に接続され、コンデンサC2'は第二のコンデンサC2に並列に接続されるので、第一のコンデンサC1と第二のコンデンサC2とを小面積で形成することができる。そのうえ、コンデンサC1'により第一のコンデンサC1を、また、コンデンサC2'により第二のコン

デンスーC2をそれぞれ調整することができるので、コモンモードノイズ除去能力を高めることができる。

【0021】図7は、図5の集積回路構造における実際の電氣的接続手段を示す断面図である。図7において、第四の電極4及び第五の電極5を覆う第三の絶縁層1L3が形成され、第三の絶縁層1L3上に電氣的接続のための導体（いわゆるファーストメタルと呼ばれ、図7では参照数字M1が付されている）が適宜の箇所に複数個形成され、更にこれら導体M1を覆うように第四の絶縁層1L4が形成され、その上に同様の導体（いわゆるセカンドメタルと呼ばれ、図7では参照数字M2が付されている）が適所に形成される。導体M1と電極や抵抗器との間、及び、導体M1と導体M2との間は導電性ブラグ（例えばタングステンブラグであり、参照数字Pが付されている）によって接続される。例えば、第一の電極1の一端は導電性ブラグPを介して第三の絶縁層1L3上の導体M1に接続され、この導体M1は別の導電性ブラグPを介して第四の絶縁層1L4上の導体M2に接続される。この導体M2が接地され、又は電源に接続される。また、第一の抵抗器R1と第二の電極2との隣接する端部の間是一对の導電性ブラグPとそれらの間を接続する導体M1とによって相互に接続される。以下、同様にして、図示のとおり必要の電氣的接続が行われる。

【0022】図4に示す集積回路構造においては、第一の電極1として、半導体基板SUBに形成されたN型拡散層が用いられたが、これに代えて、第一の電極1を導電層又は導電薄膜とすることができる。このときの構成を図8は概略的に示している。図8においては、第一の電極1は半導体基板SUB上に絶縁膜6を介して形成された導電層である。こうすると、図4の集積回路構造におけるよりも第一の絶縁層1L1を薄くすることができ、第一の電極1と第二の電極2との間の距離、及び、第一の電極1と第三の電極3との間の距離を小さくすることができるので、第一のコンデンサーC1及び第二のコンデンサーC2の容量値を大きく取ることができ、フィルター設計の自由度が増すという利点がある。

【0023】以上説明した構造例においては、第一の抵抗器R1及び第二の抵抗器R2は、第二の電極2及び第三の電極3と共に第一の絶縁層1L1上に形成され、したがって第二の電極2及び第三の電極3と同じ材質の導電体から成るものとして説明したが、その代わりに、第一の抵抗器R1と第二の抵抗器R2とを、第四の電極4及び第五の電極5が形成された面と同じ面上に形成するようにしてもよい。更に、第一の絶縁層1L1上に第二の電極2と第三の電極3とを形成した後、これらの電極を覆うよう第二の絶縁層1L2を形成し、第二の絶縁層1L2によって覆われていない第一の絶縁層1L1上に第一の抵抗器R1及び第二の抵抗器R2を形成するようにしてもよい。これらの場合には、第一の抵抗器R1及び第二の抵抗器R2の材質は、第四の電極4及び第五の

電極5と同じ導電物質である。

【0024】また、以上説明した構造例においては、第一の電極1は半導体基板SUBに形成された拡散層又は半導体基板SUB上に絶縁膜6を介して形成された導電層であったが、図4の集積回路構造について説明したような、第一の電極1を最初に半導体基板上に形成し、第四の電極4及び第五の電極5を最後に形成するというプロセスを逆にし、第四の電極4及び第五の電極5を最初に半導体基板に対して形成し、第一の電極1を最後に形成するというプロセスを採用して図1の差動型ローパスフィルター回路を集積回路化してもよい。こうしたプロセスにより形成された集積回路構造を図9に示す。図9に示す構造では、第四の電極4、第五の電極5、第一の抵抗器R1及び第二の抵抗器R2が絶縁膜6を介して半導体基板SUB上に形成されているが、これに代えて、第一の抵抗器R1と第二の抵抗器R2とを、第二の電極2及び第三の電極3が形成された面と同じ面上に設け、第四の電極4と第五の電極5とを、半導体基板SUBに不純物拡散層として形成するようにしてもよい。

【0025】図10は、図1の差動型ローパスフィルターをマルチビット・オーバーサンプリング・デジタル・アナログ変換器に应用した場合の回路図を示している。図10のマルチビット・オーバーサンプリング・デジタル・アナログ変換器は差動型動作を行うもので、シグマ・デルタ型3次5レベルのノイズ・シェーピング器NSからのデジタル出力は、抵抗器群に均等の重み付けを行うためのビット・ローテーション回路を内蔵したデータ・デコーダーDDに入力される。データ・デコーダーDDからの出力は、差動動作を行うための、インバーターにより反転されたデータと共に、変換タイミングを調整する目的でデータ・ラッチDLに一時的に蓄えられる。データ・ラッチDLにはクロック発生器CGからクロック信号が与えられる。データ・ラッチDLの出力は、複数のCMOSのインバーターを含むスイッチ群、変換抵抗器群及びコンデンサーC3'を有するデジタル・アナログ変換部DACを介して、図1の差動型ローパスフィルターFLに供給される。ローパスフィルターFLの出力は差動増幅器DAに与えられ、アナログ信号として出力される。

【0026】デジタル・アナログ変換部DACの変換抵抗器群とコンデンサーC3'とによってもローパスフィルターが形成されており、これとローパスフィルターFLとによって二次のローパスフィルターが構成される。それぞれのローパスフィルターの特性を例えば6dB/octとすると、この二次のローパスフィルターは12dB/octの特性を持つことになる。しかし、コモンモードノイズ除去用のフィルターとしては一次の構成となっている。

【0027】図10のマルチビット・オーバーサンプリング・デジタル・アナログ変換器を例えばオーディオ用

デジタル・アナログ変換器として用いた場合、可聴周波数帯域内(0~20kHz)のノイズが48倍のオーバーサンプリングによりシェーピングされて帯域外に押しやられる。この帯域外に押しやられたノイズの一部はローパスフィルタF_Lで除去される。また、デジタル・アナログ変換部DAC内の変換抵抗器をスイッチするときにスイッチ群SWのCMOSインバータから発生されるスイッチング・ノイズは、CMOSインバータの電源そのものに対してコモンモードノイズを発生させるが、コモンモードノイズの高周波成分はローパスフィルタF_Lによって除去される。

【0028】これまでの図1~図10を用いての説明は一次の差動型ローパスフィルタに関するものであった。次に、図11を用いて、本発明に係る差動型フィルタの第二の実施形態である二次の差動型ローパスフィルタについて説明する。図11において、第一の入力端子IN1は第一の抵抗器R11の一端に接続され、第二の入力端子IN2は第二の抵抗器R12の一端に接続される。第一の抵抗器R11の他端は、第一のコンデンサC11を介して接地され又は電源と接続されると共に、第二のコンデンサC12を介して第二の抵抗器R12の他端と接続される。更に、第一の抵抗器R11の他端は第三の抵抗器R13の一端に接続され、第二の抵抗器R12の他端は第四の抵抗器R14の一端に接続される。第三の抵抗器R13の他端は第一の出力端子OUT1に接続されると共に、第三のコンデンサC13を介して第四の抵抗器R14の他端に接続される。第四の抵抗器R14の他端は更に第二の出力端子OUT2に接続されると共に、第四のコンデンサC14を介して接地され又は電源と接続される。

【0029】このときの第一の抵抗器R11~第四の抵抗器R14の抵抗値及び第一のコンデンサC11~第四のコンデンサC14の容量値とをそれぞれの参照符号で表すとすると、 $R11=R12$ 、 $R13=R14$ 、 $C11=C14$ である。

【0030】図12は、図11の差動型ローパスフィルタ回路を構成する集積回路構造の一例の断面図で、例えばP型シリコンで作られた基板SUB上にN型拡散層から成る第一の電極11を形成し、それを覆うように第一の絶縁層IL11を形成する。この上の第一の電極11と対向する位置に第二の電極12と第三の電極13とが形成され、更に、これら電極の外側に第三の抵抗器R13と第四の抵抗器R14とが形成され、更にその外側に第一の抵抗器R11と第二の抵抗器R12とが形成される。なお、図12では、第一の電極11は第一の抵抗器R11~第四の抵抗器R14と対向する位置まで延長されて形成されているが、これは必ずしも必要ではなく、第一の電極11を第二の電極12と第三の電極13とに対向するように形成するのでもよい。この後、第一の抵抗器R11~第四の抵抗器R14、第二の電極12

及び第三の電極13を覆うように第二の絶縁層IL12を設け、その上に、第二の電極12と対向する位置に第四の電極14を、第三の電極13と対向する位置に第五の電極15を形成する。

【0031】こうして、第一の電極11と第二の電極12との間に第一のコンデンサC11が形成され、第二の電極12と第四の電極14との間に第二のコンデンサC12が形成され、第三の電極13と第五の電極15との間に第三のコンデンサC13が形成され、第三の電極13と第一の電極11との間に第四のコンデンサC14が形成される。更に、第一の電極11と第一の抵抗器R11及び第三の抵抗器R13との間に、第一のコンデンサC11に並列に追加のコンデンサC11'、C11"が形成され、第一の電極11と第二の抵抗器R12及び第四の抵抗器R14との間に、第四のコンデンサC14に並列に追加のコンデンサC14'、C14"が形成される。

【0032】これら第一の電極11~第五の電極15、第一の抵抗器R11~第四の抵抗器R14、第一の入力端子IN1、第二の入力端子IN2、第一の出力端子OUT1及び第二の出力端子OUT2は、図12に太い黒線で示すとおりに、導線により相互に電氣的に接続される。図12の構造の等価回路を図13に示す。ここに示すとおり、第一のコンデンサC11に並列に接続されるコンデンサC11'、C11"、及び第四のコンデンサC14に並列に接続されるコンデンサC14'、C14"は、図6において説明したコンデンサC1'、C2'と同様の作用を奏する。

【0033】図2に実線で示す曲線は、第一の抵抗器R11と第一のコンデンサC11、第一の抵抗器R11とコンデンサC11'、及び、第三の抵抗器R13とコンデンサC11"によってできるローパスフィルタの特性を示している。

【0034】図12における電氣的接続に代えて、図14に示すように、第一の抵抗器R11と第三の抵抗器R13との隣接する端部を第四の電極14と接続し、第三の抵抗器R13の残りの端部と第三の電極13とを第一の出力端子OUT1に接続し、第二の電極12を第四の抵抗器R14と第二の抵抗器R12との隣接する端部にそれぞれ接続し、第四の抵抗器R14の残りの端部と第五の電極15とを第二の出力端子OUT2に接続するようにしてもよい。このときの等価回路は図15に示すとおりであり、第一のコンデンサC11は第二の抵抗器R12と第四の抵抗器R14との接続点に接続され、第一のコンデンサC11に並列にコンデンサC14'、C14"が接続される。また、第四のコンデンサC14は第一の出力端子OUT1と基準電位との間に接続され、第四のコンデンサC14に並列にコンデンサC11'、C11"が接続される。

【0035】図12及び図14に示す集積回路構造にお

いても、第一の実施形態におけると同様に、第一の電極11を、半導体基板SUBに該半導体基板の導電型とは異なる導電型の不純物を拡散させた層で形成するようにしても、半導体基板SUB上に絶縁膜を介して形成された導電膜又は導電層であってもよい。更に、図9の集積回路構造について説明したのと同様に、第四の電極14と第五の電極15とを最初に半導体基板SUBに形成し、最後の第一の電極11を形成するようなプロセスを採用してもよい。

【0036】なお、第二の実施形態においても、絶縁層、電極及び抵抗器の材質や厚さは、第一の実施形態において先に説明したのと同じであるが、これに限定されるものではない。

【0037】以上の説明は一次又は二次の差動型ローパスフィルタに関するものであったが、抵抗器をコンデンサーで置換し、コンデンサーを抵抗器で置換することにより差動型ハイパスフィルタを構成することができる。図16は、本発明に係る差動型フィルタ回路の第三の実施形態である一次の差動型ハイパスフィルタ回路の構成を概略的に示す図である。図16において、第一の入力端子IN1と第一の出力端子OUT1との間に第一のコンデンサーC21が接続され、第二の入力端子IN2と第二の出力端子OUT2との間に第二のコンデンサーC22が接続される。第一の出力端子OUT1は第一の抵抗器R21を介して接地され又は電源に接続され、第二の出力端子OUT2は第二の抵抗器R22を介して接地され又は電源に接続される。第一の出力端子OUT1と第二の出力端子OUT2との間には第三の抵抗器R23が接続される。

【0038】

【発明の効果】以上、若干の実施形態を参照しながら本発明について詳細に説明したところから明らかなとおり、本発明に係る差動型ローパスフィルタ回路においては、ノーマルモード、コモンモードノイズの両方を除去することが可能となる。更に、集積回路化した場合に、差動構成による通常のフィルタ機能用のコンデンサーとコモンモードノイズ除去用のコンデンサーとの電極を共有する構造を取ることが可能なため、こうしたフィルタを小さな面積の上に形成することが可能となる。また、本発明に係る差動型ハイパスフィルタ回路においても、ノーマルモードノイズ、コモンモードノイ

ズの両方を除去することが可能となる。

【図面の簡単な説明】

【図1】本発明に係る差動型フィルタ回路の第一の実施形態である一次の差動型ローパスフィルタ回路の構成を概略的に示す図。

【図2】図1及び図13に示す差動型ローパスフィルタ回路の周波数特性を説明するためのグラフ。

【図3】図1に示す差動型ローパスフィルタ回路の周波数特性を説明するためのグラフ。

10 【図4】図1の差動型ローパスフィルタ回路を構成する集積回路構造の一例を説明するための断面図。

【図5】図4に示す集積回路構造の変形例を示す図。

【図6】図5に示す集積回路構造の等価回路を示す図。

【図7】図5に示す集積回路構造における実際の電気的接続を説明するための図。

【図8】図5に示す集積回路構造の変形例を示す図。

【図9】図4に示す集積回路構造の別の変形例を示す図。

20 【図10】図1に示す差動型ローパスフィルタ回路をマルチビット・オーバーサンプリング・デジタル・アナログ変換器に応用したときの回路図。

【図11】本発明に係る差動型フィルタ回路の第二の実施形態である二次の差動型ローパスフィルタ回路の構成を概略的に示す図。

【図12】図11の差動型ローパスフィルタ回路を構成する集積回路構造を説明するための断面図。

【図13】図12に示す集積回路構造の等価回路図。

【図14】図12に示す集積回路構造の変形例を示す図。

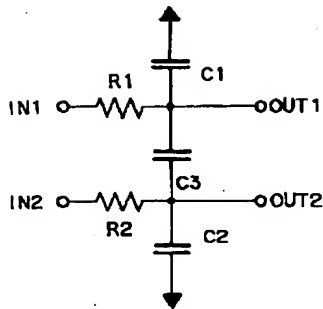
30 【図15】図14に示す集積回路構造の等価回路図。

【図16】本発明に係る差動型フィルタ回路の第三の実施形態である一次の差動型ハイパスフィルタ回路の構成を概略的に示す図。

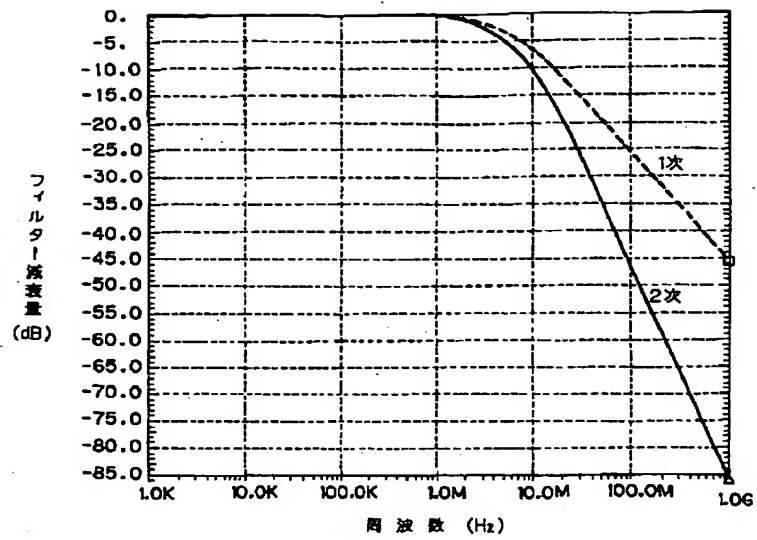
【符号の説明】

IN1、IN2：入力端子、OUT1、OUT2：出力端子、1、2、3、4、5、11、12、、13、14、15：電極。R1、R2、R3、R4、R11、R12、R13、R14、R21、R22、R23：抵抗器、C1、C2、C3、C11、C12、C13、C14、C21、C22：コンデンサー。

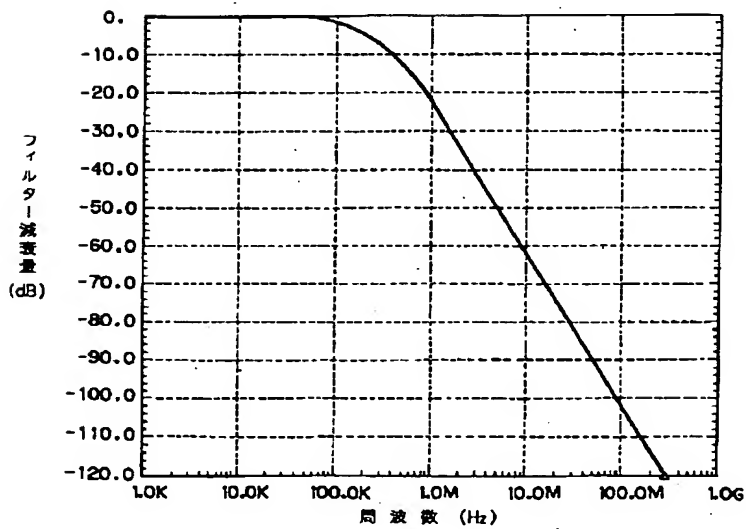
【図1】



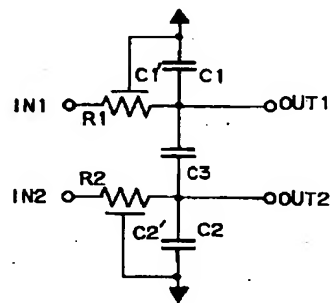
【図2】



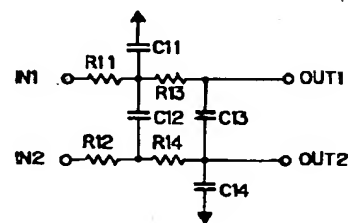
【図3】



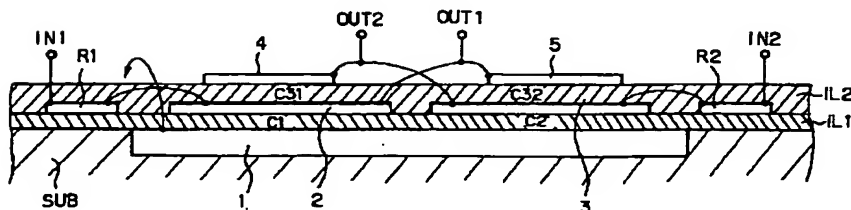
【図6】



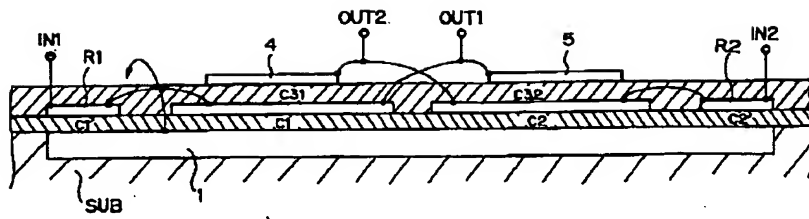
【図11】



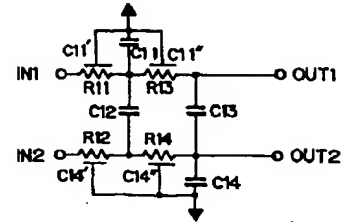
【図4】



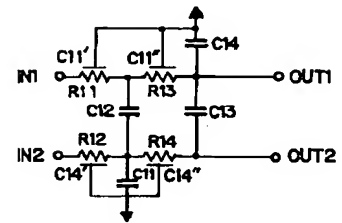
【図5】



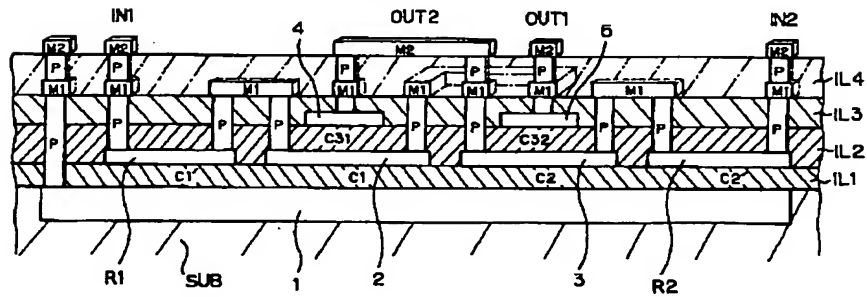
【図13】



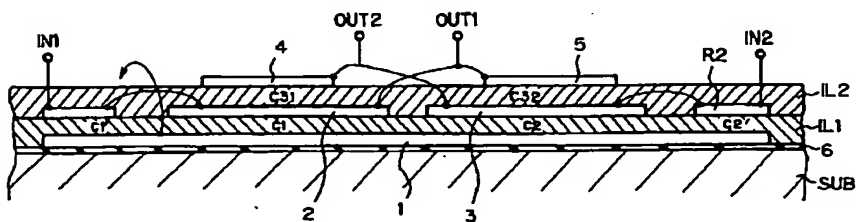
【図15】



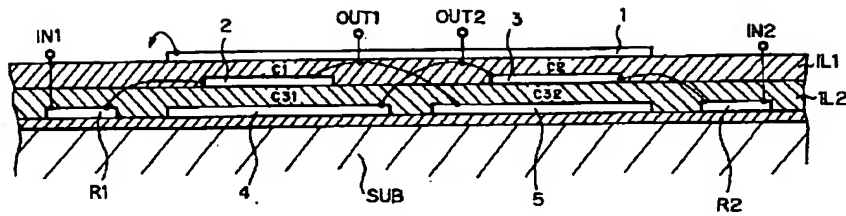
【図7】



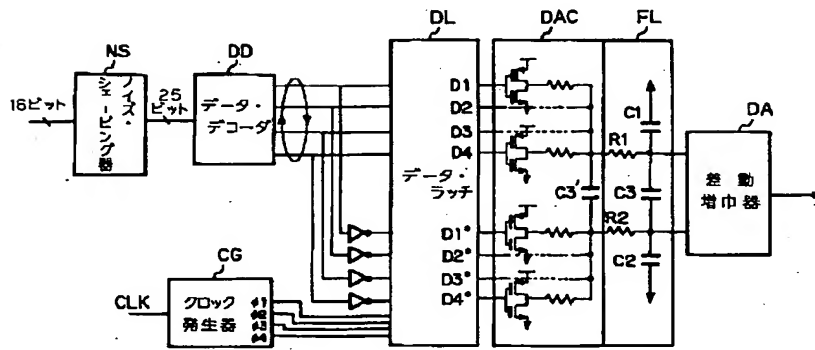
【図8】



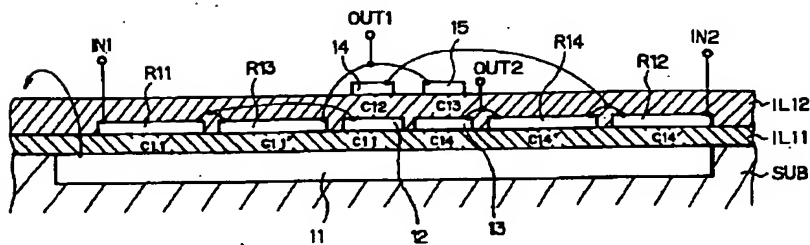
【図9】



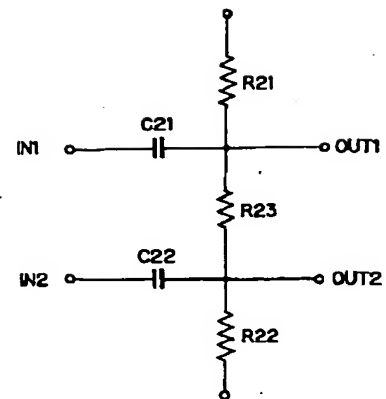
【図10】



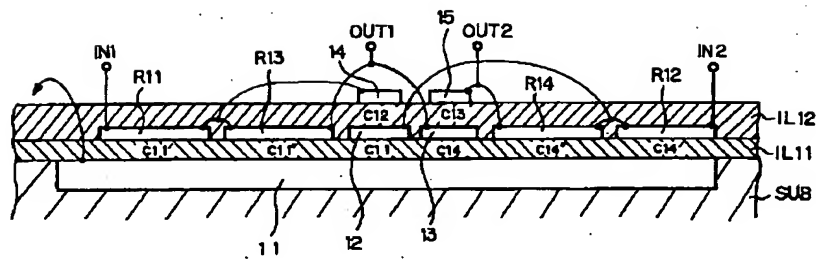
【図12】



【図16】



【図14】



フロントページの続き

(72)発明者 濱崎 利彦
 神奈川県厚木市長谷仲町422-1 日本パ
 ー・ブラウン株式会社厚木テクニカルセン
 ター内

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 14 年 11 月 15 日 (2002. 11. 15)

【公開番号】特開平 9-284076
 【公開日】平成 9 年 10 月 31 日 (1997. 10. 31)
 【年通号数】公開特許公報 9-2841
 【出願番号】特願平 7-253689
 【国際特許分類第 7 版】

H03H 7/06
 H01L 27/04
 21/822

【F I】

H03H 7/06
 H01L 27/04 F
 C

【手続補正書】

【提出日】平成 14 年 8 月 28 日 (2002. 8. 28)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 第一の入力端子と第一の出力端子との間に接続された第一の抵抗器と、
 前記第一の抵抗器と同じ抵抗値を有し、第二の入力端子と第二の出力端子との間に接続された第二の抵抗器と、
 前記第一の出力端子と基準電位との間に接続された第一のコンデンサーと、
 前記第一のコンデンサーと同じ容量値を持ち、前記第二の出力端子と前記基準電位との間に接続された第二のコンデンサーと、
 前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサーと、を具備することを特徴とする一次の差動型ローパスフィルタ回路。

【請求項 2】 第一の絶縁層と、
 前記第一の絶縁層の一方の面に接するように形成された第一の電極と、
 前記第一の絶縁層の他方の面上の、前記第一の電極に対向する位置に形成された第二の電極及び第三の電極と、
 前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、
 前記第二の電極及び前記第三の電極が形成された面と、
 前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器及び第二の抵抗器と、

前記第一の電極を基準電位に接続する導線と、
 前記第一の抵抗器の一端と前記第二の電極とを接続する導線と、
 前記第二の抵抗器の一端と前記第三の電極とを接続する導線と、
 前記第二の電極と前記第五の電極とを接続する導線と、
 前記第三の電極と前記第四の電極とを接続する導線と、
 前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、
 前記第四の電極及び前記第五の電極にそれぞれ接続された出力端子と、を具備し、
 前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方が半導体基板に形成され、
 前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第二のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第三のコンデンサーを構成する一方のコンデンサーを形成し、前記第三の電極と前記第五の電極とで前記第三のコンデンサーを構成する他方のコンデンサーを形成して一次の差動型ローパスフィルタ回路を構成したことを特徴とする集積回路構造。

【請求項 3】 前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項 2 に記載の集積回路構造。

【請求項 4】 前記第一の電極は、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項 2 に記載の集積回路構造。

【請求項 5】 前記第一の抵抗器及び前記第二の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、
 前記第一の電極と前記第一の抵抗器との間で追加のコン

デンスーを、前記第一の電極と前記第二の抵抗器との間で別の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項 3 又は 4 に記載の集積回路構造。

【請求項 6】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項 2 に記載の集積回路構造。

【請求項 7】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項 2 に記載の集積回路構造。

【請求項 8】 前記第一の抵抗器及び前記第二の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、前記第一の電極と前記第一の抵抗器との間で追加のコンデンサーを、前記第一の電極と前記第二の抵抗器との間で別の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項 6 又は 7 に記載の集積回路構造。

【請求項 9】 前記第一の抵抗器と前記第二の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする請求項 2～8 のいずれか 1 つに記載の集積回路構造。

【請求項 10】 第一の抵抗器と第三の抵抗器との直列回路であって、第一の入力端子と第一の出力端子との間に接続された直列回路と、前記第一の抵抗器と同じ抵抗値を有する第二の抵抗器と、前記第三の抵抗器と同じ抵抗値を有する第四の抵抗器との直列回路であって、第二の入力端子と第二の出力端子との間に接続された直列回路と、前記第一の抵抗器と前記第二の抵抗器との間の点と基準電位との間に接続された第一のコンデンサーと、前記第一の抵抗器と前記第二の抵抗器との間の点と、前記第三の抵抗器と前記第四の抵抗器との間の点との間に接続された第二のコンデンサーと、前記第一の出力端子と前記第二の出力端子との間に接続された第三のコンデンサーと、前記第四の抵抗器と前記第二の出力端子との間の点と前記基準電位との間に接続され且つ前記第一のコンデンサーと同じ容量値を有する第四のコンデンサーと、を具備することを特徴とする二次の差動型ローパスフィルター回路。

【請求項 11】 第一の絶縁層と、前記第一の絶縁層の一方の面に接するように形成された第一の電極と、前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及

び第五の電極と、前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、前記第一の電極を基準電位に接続する導線と、前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第二の電極とに接続する導線と、前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第四の電極とに接続する導線と、前記第三の抵抗器の他端を前記第五の電極と接続する導線と、前記第四の抵抗器の他端を前記第三の電極と接続する導線と、前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、を具備し、前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造。

【請求項 12】 第一の絶縁層と、前記第一の絶縁層の一方の面に接するように形成された第一の電極と、前記第一の絶縁層の他方の面上の、前記第一の電極と対向する位置に形成された第二の電極及び第三の電極と、前記第二の電極と前記第三の電極とに対向するそれぞれの位置に第二の絶縁層を介して形成された第四の電極及び第五の電極と、前記第二の電極及び前記第三の電極が形成された面と、前記第四の電極及び前記第五の電極が形成された面とのいずれか一方に形成された第一の抵抗器、第二の抵抗器、第三の抵抗器及び第四の抵抗器と、前記第一の電極を基準電位に接続する導線と、前記第一の抵抗器の一端を前記第三の抵抗器の一端と前記第四の電極とに接続する導線と、前記第二の抵抗器の一端を前記第四の抵抗器の一端と前記第二の電極とに接続する導線と、前記第三の抵抗器の他端を前記第三の電極と接続する導線と、前記第四の抵抗器の他端を前記第五の電極と接続する導線と、前記第一の抵抗器の他端と前記第二の抵抗器の他端とにそれぞれ接続された入力端子と、

前記第三の電極及び前記第五の電極にそれぞれ接続された出力端子と、を具備し、

前記第一の電極と、前記第四の電極及び前記第五の電極とのいずれか一方を半導体基板に形成し、

前記第一の電極と前記第二の電極とで第一のコンデンサーを形成し、前記第二の電極と前記第四の電極とで第二のコンデンサーを形成し、前記第三の電極と前記第五の電極とで第三のコンデンサーを形成し、前記第一の電極と前記第三の電極とで第四のコンデンサーを形成して二次の差動型ローパスフィルター回路を構成したことを特徴とする集積回路構造。

【請求項 13】 前記第一の電極は、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項 11 又は 12 に記載の集積回路構造。

【請求項 14】 前記第一の電極は、前記半導体基板上に絶縁膜を介して形成された導電層であることを特徴とする請求項 11 又は 12 に記載の集積回路構造。

【請求項 15】 前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、

前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項 13 又は 14 に記載の集積回路構造。

【請求項 16】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板の導電型とは異なる導電型の不純物を前記半導体基板に拡散させた層から成ることを特徴とする請求項 11 又は 12 に記載の集積回路構造。

造。

【請求項 17】 前記第四の電極及び前記第五の電極のそれぞれは、前記半導体基板上に絶縁膜を介して形成されていることを特徴とする請求項 11 又は 12 に記載の集積回路構造。

【請求項 18】 前記第一の抵抗器～前記第四の抵抗器は、前記第二の電極及び前記第三の電極が形成された面と同じ面上に形成され、

前記第一の電極と前記第一の抵抗器との間で第一の追加のコンデンサーを形成し、前記第一の電極と前記第三の抵抗器との間で第二の追加のコンデンサーを形成し、前記第一の電極と前記第二の抵抗器との間で第三の追加のコンデンサーを形成し、前記第一の電極と前記第四の抵抗器との間で第四の追加のコンデンサーを形成するように、前記第一の電極を前記半導体基板に対して形成したことを特徴とする請求項 16 又は 17 に記載の集積回路構造。

【請求項 19】 前記第一の抵抗器～前記第四の抵抗器とは、前記第一の電極～前記第五の電極とのいずれかと同じ材質であることを特徴とする請求項 11～18 のいずれか 1 つに記載の集積回路構造。

【請求項 20】 第一の入力端子と第一の出力端子との間に接続された第一のコンデンサーと、前記第一のコンデンサーと同じ容量値を有し、第二の入力端子と第二の出力端子との間に接続された第二のコンデンサーと、前記第一の出力端子と基準電位との間に接続された第一の抵抗器と、前記第一の抵抗器と同じ抵抗値を持ち、前記第二の出力端子と前記基準電位との間に接続された第二の抵抗器と、前記第一の出力端子と前記第二の出力端子との間に接続された第三の抵抗器と、を具備することを特徴とする差動型ハイパスフィルター。